

M
E
N
U[Previous Doc](#)[Next Doc](#)
[First Hit](#)[Go to Doc#](#)

Generate Collection

L3: Entry 4 of 4

File: JPAB

Mar 5, 1986

PUB-NO: JP361045338A

DOCUMENT-IDENTIFIER: JP 61045338 A

TITLE: MICROCOMPUTER LSI FOR EVALUATION

PUBN-DATE: March 5, 1986

INVENTOR-INFORMATION:

NAME

COUNTRY

KUWABARA, KAZUYOSHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

APPL-NO: JP59167470

APPL-DATE: August 10, 1984

INT-CL (IPC): G06F 11/22; G06F 15/06

ABSTRACT:

PURPOSE: To attain an emulating action without providing any complicated external circuit by comparing the address of a memory area which performs access actions with a specific memory address and applying the processing corresponding to the result of comparison to an access signal.

CONSTITUTION: A boundary address between an emulating area of a memory and an external memory area is held by a holding register 11 for boundary address by a memory instruction. A comparator 17 compares the boundary address with an address on an address bus 18 within an ever chip. When the address on the bus 18 is larger than the boundary address, the comparator 17 delivers a control signal of a high level to a multiplexer 16. The multiplexer 16 processes the read or read access signal and delivers it to the memory.

COPYRIGHT: (C)1986, JPO&Japio

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-45338

⑬ Int.Cl.⁴

G 06 F 11/22
15/06

識別記号

庁内整理番号

7368-5B
7343-5B

⑭ 公開 昭和61年(1986)3月5日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 評価用マイクロコンピュータLSI

⑯ 特 願 昭59-167470

⑰ 出 願 昭59(1984)8月10日

⑱ 発 明 者 桑 原 一 悦 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

評価用マイクロコンピュータLSI

2. 特許請求の範囲

互いに速度の異なるアクセス信号を必要とする複数のメモリ領域を有するメモリにアクセスする評価用マイクロコンピュータLSIにおいて、

アクセス信号を発生する発生手段と、

特定のメモリアドレスを保持する保持手段と、

アクセスを行なうメモリ領域のアドレスを前記の特定のメモリアドレスと比較する比較手段と、

該比較手段による比較結果に対応した加工を前記アクセス信号に施す加工手段とを備えたことを特徴とする評価用マイクロコンピュータLSI。

3. 発明の詳細な説明

〔技術分野〕

本発明は評価用マイクロコンピュータLSI(以下、エバチップとする)に関する。

〔従来技術〕

従来、シングルチップマイクロコンピュータLSI

LSI(以下、マイクロコンピュータとする)は内部メモリだけにアクセス可能であつたが、内部メモリだけではなく外部メモリにもアクセスできるマイクロコンピュータが開発され、さらに内部メモリの容量のみ異なり他の機能がすべて等しい複数種のマイクロコンピュータ(ファミリ製品)が作られている。このようなマイクロコンピュータでは処理の高速化を図るため、一般に内部メモリアクセス時に出力されるアクセス信号の速度と外部メモリアクセス時に出力されるアクセス信号の速度とが異なっている。

これらのマイクロコンピュータをエミュレートするには、マイクロコンピュータの内部メモリに相当するエミュレートメモリ領域と外部メモリ領域とを備えたメモリを用い、エバチップがこのメモリのエミュレートメモリ領域あるいは外部メモリ領域にアクセスする時に出力する各アクセス信号の速度を、マイクロコンピュータが内部メモリアクセス時あるいは外部メモリアクセス時に出力する各アクセス信号の速度にそれぞれ合わせる必

要がある。ところが従来のエバチップはアクセスするメモリの各メモリ領域の境界アドレスを自由に設定することができなかつたので、一つのエバチップでそれぞれ容量の異なる内部メモリを持つファミリ内の各マイクロコンピュータをエミュレートするためには、第3図のブロック図に示すようにエバチップ1の外部にマルチプレクサ2、ラッチ回路3、デコード回路4等を設けてエバチップ1から出力されるアクセス信号をメモリ5のメモリ領域にしたがつて変換していた。

次に第3図に示した従来のエミュレータシステムの動作を説明する。

エバチップ1から出力されたアドレスはラッチ回路3でラッチされ、さらにこのアドレスはデコード回路4でデコードされ、エミュレートメモリ領域か外部メモリ領域かの判定が行なわれて、デコード回路4はそれぞれの判定に対応する制御信号 S_{01} をマルチプレクサ2へ出力する。そしてエミュレートメモリ領域であれば、マルチプレクサ2はエバチップ1から出力された番込みアクセス

信号 S_{02} あるいは読出しアクセス信号 S_{03} を加工してメモリ5に出力し、メモリ5のエミュレートメモリ領域のデータの番込みあるいは読出しが行なわれる。また、アドレスが外部メモリ領域であれば、マルチプレクサ2は番込みアクセス信号 S_{02} あるいは読出しアクセス信号 S_{03} をそのままメモリ5に出力し、メモリ5の外部メモリ領域のデータの番込みあるいは読出しが行なわれる。

このように従来のエバチップでファミリ内の各マイクロコンピュータをエミュレートしようとする、エバチップ外部に複雑な回路を要するという欠点を有していた。

〔発明の目的〕

本発明の目的は、外部に複雑な回路を設けることなく、ファミリ内の各マイクロコンピュータをエミュレートすることができるエバチップを提供することにある。

〔発明の構成〕

本発明の評価用マイクロコンピュータLSIは、互いに速度の異なるアクセス信号を必要とする複

数のメモリ領域を有するメモリにアクセスする評価用マイクロコンピュータLSIにおいて、

アクセス信号を発生する発生手段と、特定のメモリアドレスを保持する保持手段と、アクセスを行なうメモリ領域のアドレスを前記特定のメモリアドレスと比較する比較手段と、該比較手段による比較結果に対応した加工を前記アクセス信号に施す加工手段とを備えたことを特徴とする。

〔実施例〕

以下、図面を参照しながら本発明の実施例を説明する。

第1図は本発明の一実施例に係るエバチップのメモリアクセス部のブロック図である。

境界アドレス保持用レジスタ11は不図示のメモリのエミュレートメモリ領域と外部メモリ領域との境界アドレスを保持するレジスタで、この境界アドレスはメモリから外部データバス12、データ入出力ポート13およびエバチップ内データバス14を通して境界アドレス保持用レジスタ11に番込まれる。メモリアクセス信号生成回路15

は常に一定の速度の読出しアクセス信号 S_1 あるいは番込みアクセス信号 S_2 をマルチプレクサ16に出力するとともに比較回路17を駆動する駆動信号 S_3 を出力する。比較回路17はエバチップ内アドレスバス18上にあるアドレスと境界アドレス保持用レジスタ11が保持する境界アドレスとの大小を比較し、境界アドレスの方が大きければローレベルの、小さければハイレベルの制御信号 S_4 をマルチプレクサ16に出力する。マルチプレクサ16は制御信号 S_4 がハイレベルのときには、読出しアクセス信号 S_1 あるいは番込みアクセス信号 S_2 を加工してそれぞれメモリ用読出しアクセス信号 S_5 、メモリ用番込みアクセス信号 S_6 としてメモリへ出力し、制御信号 S_4 がローレベルのときには、読出しアクセス信号 S_1 あるいは番込みアクセス信号 S_2 をそのままそれぞれメモリ用読出しアクセス信号 S_5 、メモリ用番込みアクセス信号 S_6 としてメモリへ出力する。アドレス出力ポート19はチップ内アドレスバス18を通して入力されたアドレスを外部アドレスバス

20に出力しメモリへ伝える。

次に、本実施例の動作を説明する。

まず、メモリのエミュレートメモリ領域と外部メモリ領域との境界アドレスをメモリのインストラクションにより境界アドレス保持用レジスタ11に保持させる。ここでは境界アドレスより大きいアドレスにエミュレートメモリ領域が、小さいアドレスに外部メモリ領域が設定されているものとする。さて、メモリアクセス信号生成回路15から出力された駆動信号 S_1 により比較回路17は境界アドレスとエバチップ内アドレスバス18上のアドレスとの大きさを比較する。

比較の結果、エバチップ内アドレスバス18上のアドレスが境界アドレスより大きい場合には、エミュレートメモリ領域にアクセスすることが判定され、比較回路17はハイレベルの制御信号 S_4 をマルチプレクサ16に出力し、マルチプレクサ16は読出しアクセス信号 S_8 あるいは書き込みアクセス信号 S_9 を加工してそれぞれメモリ用読出しアクセス信号 S_8 、メモリ用書き込みアクセス信号

S_9 としてメモリへ出力する。そしてメモリのエミュレートメモリ領域のデータの読出しあるいは書き込みが行なわれる。

エバチップ内アドレスバス18上のアドレスが境界アドレスより小さい場合には、外部メモリ領域にアクセスすることが判定され、比較回路17はローレベルの制御信号 S_4 をマルチプレクサ16に出力し、マルチプレクサ16は読出しアクセス信号 S_8 あるいは書き込みアクセス信号 S_9 をそのままそれぞれメモリ用読出しアクセス信号 S_8 、メモリ用書き込みアクセス信号 S_9 としてメモリへ出力する。そしてメモリの外部メモリ領域のデータの読出しあるいは書き込みが行なわれる。

第2図は本実施例のエバチップを用いたエミュレートシステムの模式図である。

本実施例のエバチップ21はアクセスするメモリ22の領域に対応したメモリ用読出しアクセス信号 S_8 あるいはメモリ用書き込みアクセス信号 S_9 を出力するので、これらの信号は直接メモリ22に入力することが可能となる。従つて、従来例の

ようにエバチップ21外に複雑な回路を設けることなく、エバチップ21とメモリ22をアドレス/データバス23で接続するだけでエミュレーションを行なうことができる。

〔発明の効果〕

以上説明したように本発明によれば、メモリの領域に対応した適切なアクセス信号をエバチップから直接出力することができ、またメモリの領域を自由に設定できるので、外部に複雑な回路を設けることなくエバチップ一つでファミリ内の各マイクロコンピュータのエミュレーションを行なうことができる。

4. 図面の簡単な説明

第1図は本発明の一実施例に係るエバチップ内のメモリアクセス部のブロック図、第2図は第1図のエバチップを用いたエミュレートシステムの模式図、第3図は従来例に係るエバチップを用いたエミュレートシステムのブロック図である。

11…境界アドレス保持用レジスタ

12…外部データバス

13…データ入出力ポート

14…エバチップ内データバス

15…メモリアクセス信号生成回路

16…マルチプレクサ

17…比較回路

18…エバチップ内アドレスバス

19…アドレス出力ポート

20…外部アドレスバス

21…エバチップ

22…メモリ

23…アドレス/データバス

S_1 …読出しアクセス信号

S_2 …書き込みアクセス信号

S_3 …駆動信号

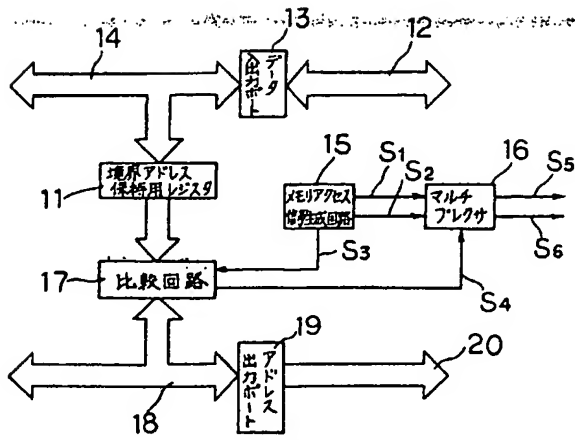
S_4 …制御信号

S_8 …メモリ用読出しアクセス信号

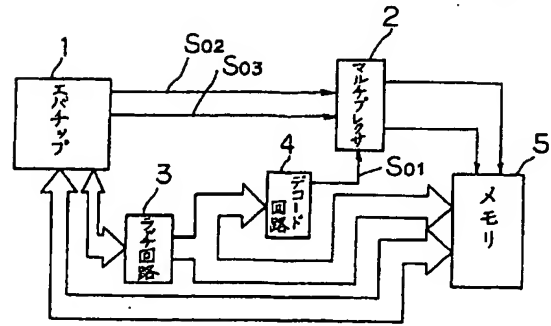
S_9 …メモリ用書き込みアクセス信号。

特許出願人 日本電気株式会社

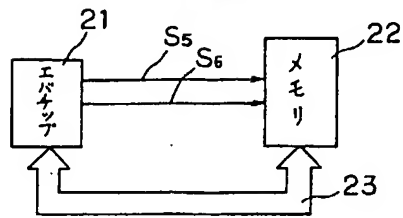
代理人 弁理士 内 原 晋



第 1 図



第 3 図



第 2 図